

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-108592

(43)Date of publication of application : 30.04.1993

(51)Int.Cl. G06F 15/16
G06F 15/16

(71)Applicant : FUJITSU LTD

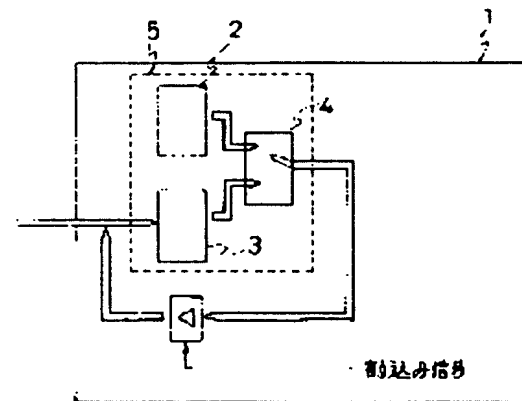
(72)Inventor : NARITA HIROKI
HIRAYAMA RYOJI

(54) UNIT MANAGING METHOD FOR MULTI-CPU SYSTEM

(57)Abstract:

PURPOSE: To operate an I/O unit under control even when a fault occurs in a CPU at one part.

CONSTITUTION: A managing source CPU identification part is provided in each I/O unit 1 while being composed of a hardware setter 2 setting the identification code of a managing source CPU, identification code register 3 to set the identification code by a software and selecting circuit 4 to show whether the hardware setter 2 or the identification code register 3 is valid, and by reloading the identification code register among all the managing CPU in common, the managing source CPU of the I/O unit can be changed.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-108592 ✓

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

G 0 6 F 15/16

識別記号

4 7 0 S 9190-5L

3 8 0 D 9190-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号

特願平3-266039

(22)出願日

平成3年(1991)10月15日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 成田 浩樹

福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州デジタル・テクノロジー株式会社内

(72)発明者 平山 亮二

福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州デジタル・テクノロジー株式会社内

(74)代理人 弁理士 井桁 貞一

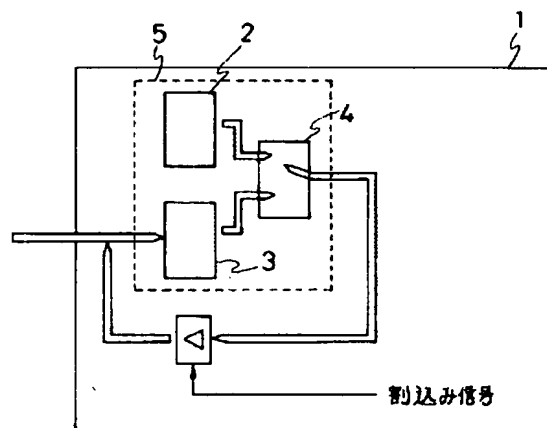
(54)【発明の名称】 マルチCPUシステムにおけるユニット管理方法

(57)【要約】

【目的】 本発明は、マルチCPUシステムにおけるユニット管理方法に関し、一部のCPUユニットに障害が発生しても、その配下のI/Oユニットを運用可能にさせることを目的とする。

【構成】 各I/Oユニット(1)に、管理元CPUの識別コードが設定されたハードウェア設定器(2)と、識別コードをソフトウェアで設定可能な識別コードレジスタ(3)と、前記ハードウェア設定器(2)と識別コードレジスタ(3)のうちのどちらが有効かを示す選択回路(4)で構成された管理元CPU識別部を設け、該識別コードレジスタ(3)を全ての管理CPUが共通に書換え可能とすることでI/Oユニット(1)の管理元CPUを変更することができることを特徴とする。

本発明の第1の原理説明図



- 1 I/O ユニット
- 2 ハードウェア設定器
- 3 識別コードレジスタ
- 4 選択回路
- 5 識別コード設定部

【特許請求の範囲】

【請求項1】 複数の管理CPUユニットと複数のI/Oユニットから構成されるマルチCPUシステムにおいて、

各I/Oユニット(1)に、管理元CPUの識別コードが設定されたハードウェア設定器(2)と、識別コードをソフトウェアで設定可能な識別コードレジスタ(3)と、前記ハードウェア設定器(2)と識別コードレジスタ(3)のうちのどちらが有効かを示す選択回路(4)で構成された管理元CPU識別部を設け、該識別コードレジスタ(3)を全ての管理CPUが共通に書換え可能とすることでI/Oユニット(1)の管理元CPUを変更することができることを特徴とするマルチCPUシステムにおけるユニット管理方法。

【請求項2】 複数の管理CPUユニットと複数のI/Oユニットから構成されるマルチCPUシステムにおいて、

各CPUユニット(6)に、それぞれの識別コードが設定されたハードウェア設定器(7)と、ソフトウェアで設定可能な識別コードレジスタ(8)と、I/Oユニット(9)からの識別コードとハードウェア設定器(7)の内容およびI/Oユニット(9)からの識別コードと識別コードレジスタ(8)の内容とを比較し、割り込み要因レジスタ(10)の書き込みを許可する比較部(11)とを有し、識別コードを、書換え可能かつ複数とすることにより管理CPU管理体系を変更できることを特徴とするマルチCPUシステムにおけるユニット管理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ集配信システム、より具体的にはビル管理システム、電力システムなどの自動化されたシステムで用いられるようなリアルタイムプロセッサ装置に関する。近年のリアルタイムプロセッサ装置は、高速化に加えシステム構築の柔軟性が要求されている。この対策として現在、小規模から大規模まで単一のアーキテクチャで構成することが可能なマルチCPUタイプの装置が開発されている。

【0002】

【従来の技術】従来、一つの管理CPUユニットと複数のI/Oユニットで構成されているようなシングルCPUシステムにおいては、I/Oユニットからの割り込み情報は割り込み信号線をバス上に設け、それにより管理CPUユニットに通知している。しかし、複数の管理CPUユニットと複数のI/Oユニットで構成されているようなマルチCPUシステムでは、上記方法によれば複数の割り込み信号線をバス上に設ける必要があり、したがってハードウェア規模が増大する。

【0003】このため、マルチCPUシステムにおけるI/Oユニットの割り込み通知方法の技術として、図5に示すようにI/Oユニットが管理元のCPUユニット

に設けられた所定の割り込み要因レジスタに直接書き込みを行う方法がある。

【0004】この方法では、各I/Oユニットは、割り込み通知先を識別する必要があるため、管理元のCPUユニットに設けられた所定の割り込み要因レジスタのアドレスを示す識別コードを設定したハードウェア設定器が設けられている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の方法によれば、I/Oユニットの割り込み通知先は予め定められたCPUユニットに限定されている。従って、管理元のCPUユニットが故障した場合には、その配下にあたる全てのI/Oユニットが処理不能になるという問題があった。

【0006】

【課題を解決するための手段】図1は第1の発明の基本原理を示す説明図である。同図において、本発明は、複数の管理CPUユニットと複数のI/Oユニットから構成されるマルチCPUシステムにおいて、各I/Oユニット(1)に、管理元CPUの識別コードが設定されたハードウェア設定器(2)と、識別コードをソフトウェアで設定可能な識別コードレジスタ(3)と、前記ハードウェア設定器(2)と識別コードレジスタ(3)のうちのどちらが有効かを示す選択回路(4)で構成された管理元CPU識別部を設け、該識別コードレジスタ(3)を全ての管理CPUが共通に書換え可能とすることでI/Oユニット(1)の管理元CPUを変更することができることを特徴とするマルチCPUシステムにおけるユニット管理方法である。

【0007】図2は第2の発明の基本原理を示す説明図である。同図において、本発明は、複数の管理CPUユニットと複数のI/Oユニットから構成されるマルチCPUシステムにおいて、各CPUユニット(6)に、それぞれの識別コードが設定されたハードウェア設定器(7)と、ソフトウェアで設定可能な識別コードレジスタ(8)と、I/Oユニット(9)からの識別コードとハードウェア設定器(7)の内容およびI/Oユニット(9)からの識別コードと識別コードレジスタ(8)の内容とを比較し、割り込み要因レジスタ(10)の書き込みを許可する比較部(11)とを有し、識別コードを、書換え可能かつ複数とすることにより管理CPU管理体系を変更できることを特徴とするマルチCPUシステムにおけるユニット管理方法である。

【0008】すなわち、ソフトウェアにより識別コードレジスタ(8)を有効にすることにより、ハードウェア設定器(7)に設定された識別コードと識別コードレジスタ(8)に設定された識別コードとの二つのCPU識別コードを持つことにより管理体系を変更する。

【0009】

【作用】第1の発明では、故障したCPUユニットを他

3

のCPUユニットが検出すると、検出したそのCPUユニットは、故障したCPUユニットに属するI/Oユニットの識別コードレジスタ(3)に自らの識別コードを書き込み、その後、選択回路(4)を制御し、識別コードレジスタ(3)側の識別コードを有効とさせる。従って、故障したCPUユニットの配下のI/Oユニットは、識別コードレジスタに書き込まれた識別コードを持つCPUユニットに割り込み通知を行うため、処理を続行することができる。

【0010】第2の発明では、あるCPUユニットが故障した場合、他のCPUユニットによって故障CPUユニットの識別コードを識別コードレジスタ(8)に書き込み、故障CPUユニットの識別コードと自ユニットの識別コードとの二つの識別コードを持ち、何れの識別コードに対しても応答する。従って故障CPUユニットの管理下にあるI/Oユニットからの割り込み通知にも対応できる。

【0011】

【実施例】図3は第1の発明を実施するための装置構成図である。同図の構成は、識別コードAのCPUユニットA(20)とその配下にあるI/OユニットA₁, A₂, … A_n(21)と、識別コードBのCPUユニットB(22)とその配下にあるI/OユニットB₁, B₂, … B_n(23)で構成されるようなマルチCPUシステムである。

【0012】CPUユニットは1本のバスでI/Oユニットと接続されており、1つのI/OユニットはどのCPUに情報を通知すればよいかを判別するため、それぞれに、CPUの識別コードをハードウェア設定器(27)に持っている。そしてその識別コードにしたがって割り込みの通知を含む情報の転送先を決める構成である。また、I/Oユニットには、例えば管理システムにおいては温度センサ、表示装置、他装置へ伝送するための通信装置等が接続されている。

【0013】CPUユニットA(20)に障害が発生し動作不能であることをCPUユニットB(22)が検出すると、I/OユニットA₁, A₂, … A_n(21)の識別コードレジスタ(24)に識別コードBを書き込む。その後、I/OユニットA₁, A₂, … A_n(21)の選択回路(25)を制御し、I/OユニットA₁, A₂, … A_n(21)の識別コードを識別コードレジスタ(24)の内容とするように切替える。

【0014】選択回路(25)は、例えば設定値“0”を“1”に切り換えるような1ビット選択レジスタから構成することができる。識別コードレジスタ(24)は、例えば4ビット、8ビットレジスタで構成することができる。

【0015】その後I/OユニットA₁, A₂, … A_n(21)は割り込みが発生すると、識別コードレジスタ(24)の内容で表されるCPUユニットの割り込み要因レジスタ(26)に要因の書き込みを行うため、I/Oユニット

4

A₁, A₂, … A_n(21)の割り込み情報は今度はCPUユニットB(22)に通知される。

【0016】従って、CPUユニットB(22)は、I/OユニットA₁, A₂, … A_n(21)を自らの管理下に置き、それによりI/OユニットA₁, A₂, … A_n(21)の処理が可能となる。

【0017】図4は第2の発明を実施するための装置構成図である。識別コードAのCPUユニットA(30)と、その管理下にあるI/OユニットA₁, A₂, … A_n(31)と識別コードBのCPUユニットB(32)とその管理下にあるI/OユニットB₁, B₂, … B_n(33)で構成されるようなマルチCPUシステムにおいて、CPUユニットA(30)が故障し動作不能となった場合、CPUユニットA(30)は動作を停止し、CPUユニットB(32)はCPUユニットA(30)の識別コード“A”をCPUユニットB(32)の識別コードレジスタ(36)へ書き込む。

【0018】CPUユニットA(30)の管理下にあったI/OユニットA₁, A₂, … A_n(31)は、識別コード“A”でバス(35)に割り込み信号を出力しCPUユニットA(30)、CPUユニットB(32)両方に通知する形となるが、実際の処理はCPUユニットB(32)が行い、CPUユニットA(30)は停止したままとなる。

【0019】なお、同図において(34)はハードウェア設定器、(37)は割り込み要因レジスタ、(38)は比較回路である。

【0020】

【発明の効果】以上説明したように、本発明によればマルチCPUシステムにおいて一部のCPUユニットに障害が発生した場合、その配下のI/Oを縮退させることなくシステムを運用することができるため、マルチCPUシステムの性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の原理説明図である。

【図2】本発明の第2の原理説明図である。

【図3】本発明の第1の実施例を示す構成図である。

【図4】本発明の第2の実施例を示す構成図である。

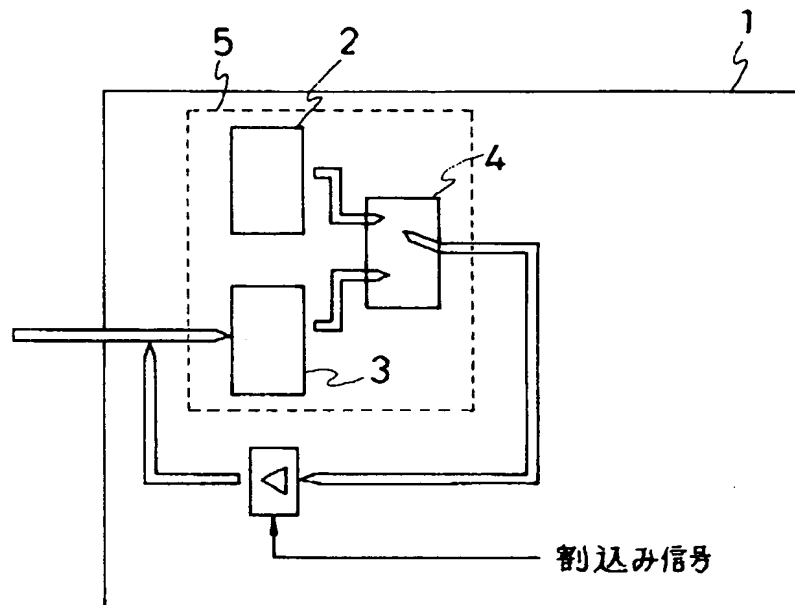
【図5】従来の構成を示す説明図である。

【符号の説明】

- 1 I/Oユニット
- 2 ハードウェア設定器
- 3 識別コードレジスタ
- 4 選択回路
- 5 識別コード設定部
- 6 CPUユニット
- 7 ハードウェア設定器
- 8 識別コードレジスタ
- 9 I/Oユニット
- 10 割り込み要因レジスタ

【図1】

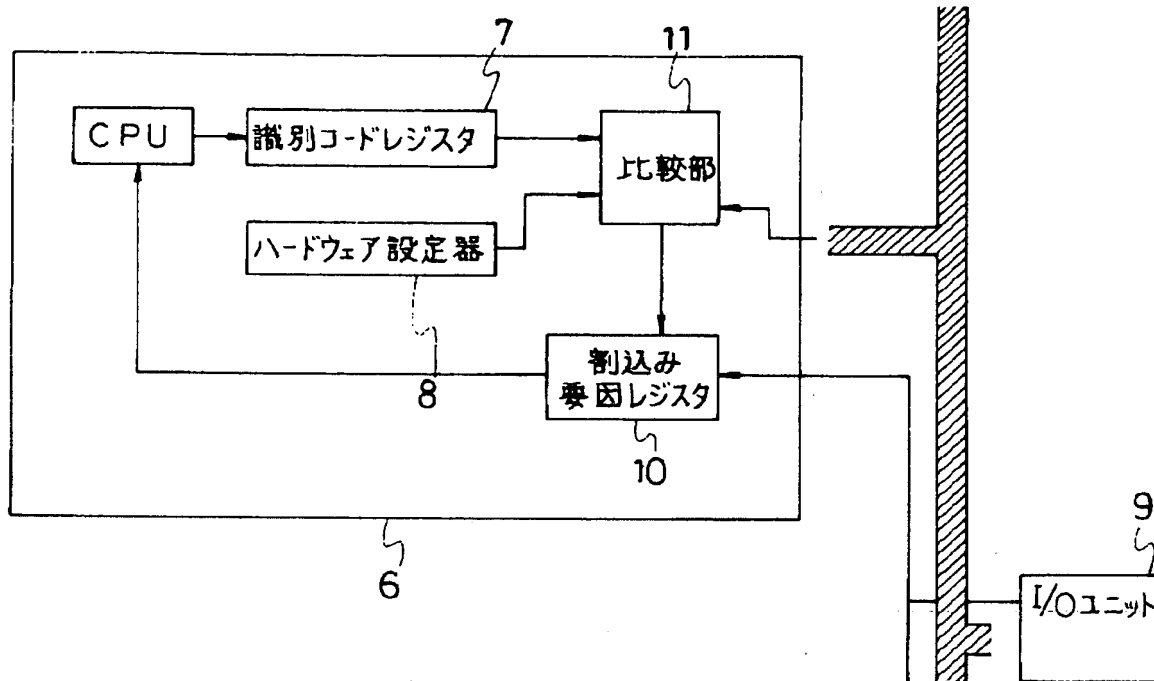
本発明の第1の原理説明図



- 1 I/O ユニット
- 2 ハードウェア設定器
- 3 識別コードレジスタ
- 4 選択回路
- 5 識別コード設定部

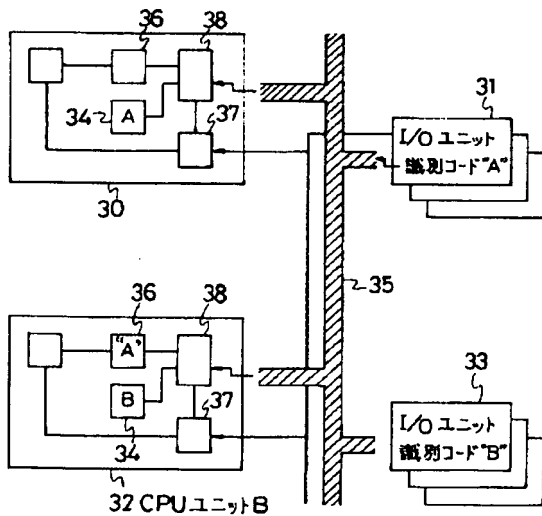
【図2】

本発明の第2の原理説明図



【図4】

第2の実施例を示す構成図



- | | |
|--|---------------|
| 30: CPUユニットA | 34: ハードウェア設定器 |
| 31: I/O ユニット
(A ₁ , A ₂ , ..., A _n) | 35: バス |
| 32: CPUユニットB | 36: 識別コードレジスタ |
| 33: I/O ユニット
(B ₁ , B ₂ , ..., B _n) | 37: 割込み要因レジスタ |
| | 38: 比較回路 |

【図5】

従来の構成を示す説明図

